

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-162653

(43)公開日 平成9年(1997)6月20日

(51)Int.Cl.⁶

H 0 3 F 3/45

識別記号

庁内整理番号

F I

H 0 3 F 3/45

技術表示箇所

Z

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21)出願番号

特願平7-315336

(22)出願日

平成7年(1995)12月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 今井 一男

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 松永 信敏

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

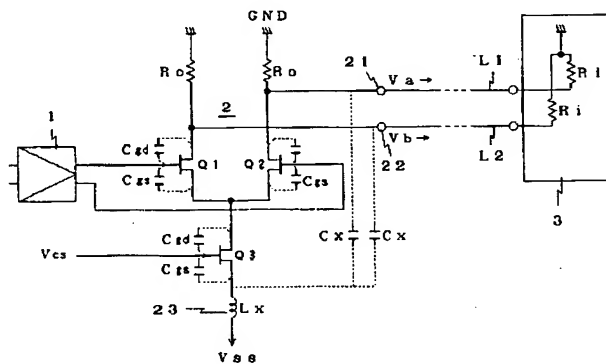
(74)代理人 弁理士 大日方 富雄

(54)【発明の名称】 高周波差動出力回路

(57)【要約】

【課題】 高周波差動出力回路の出力端子と伝送路配線および負荷との間のインピーダンス整合性を確保して、上記出力信号の波形歪みを防止する。

【解決手段】 差動対および定電流回路をそれぞれM E S電界効果トランジスタで形成した高周波差動出力回路において、電界効果トランジスタの寄生容量が出力端子のインピーダンス特性に悪影響することを誘導性回路によって防止させる。



【特許請求の範囲】

【請求項1】 ソース同志が共通接続されて差動対をなす第1および第2の電界効果トランジスタと、第1および第2の電界効果トランジスタの各ドレインと一方の電源電位の間にそれぞれ直列に介在する負荷抵抗と、上記一対の電界効果トランジスタの共通ソースと他方の電源電位の間に直列に介在して定電流回路を形成する第3の電界効果トランジスタとを有し、第1および第2の電界効果トランジスタの各ドレインから所定のインピーダンス特性の信号出力端子を取り出すようにした高周波差動出力回路であって、第3の電界効果トランジスタのソースと他方の電源電位との間に誘導性回路を介在させることにより、上記信号出力端子と第3の電界効果トランジスタのソースとの間の寄生容量による容量性インピーダンスの変化を補償させるようにしたことを特徴とする高周波差動出力回路。

【請求項2】 誘導性回路として、第3の電界効果トランジスタのソースと他方の電源電位の間にインダクタンス素子を介在させたことを特徴とする請求項1に記載の高周波差動出力回路。

【請求項3】 誘導性回路と電界効果トランジスタを同一半導体基板に集積形成したことを特徴とする請求項1または2に記載の高周波差動出力回路。

【請求項4】 差動対をなす電界効果トランジスタがMES電界効果トランジスタであることを特徴とする請求項1から3のいずれかに記載の高周波差動出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波差動出力回路、さらにはMES電界効果トランジスタを用いて構成される高周波差動出力回路に適用して有効な技術に関するものであって、たとえば光ファイバ通信のトランシーバに利用して有効な技術に関するものである。

【0002】

【従来の技術】MOSトランジスタやGaAs電界効果トランジスタなどのMES(Metal Semiconductor)電界効果トランジスタを用いて構成される高周波差動出力回路は、たとえば光ファイバ通信などを行なう高速通信用IC(半導体集積回路装置)内に集積形成されて使用されている(たとえば日経BP社刊行「日経エレクトロニクス 1995年2月27日号。(no. 630)」157~165ページ:特集ISSCC95を参照)。

【0003】この高周波差動出力回路は、ソース同志が共通接続されて差動対をなす第1および第2の電界効果トランジスタの各ドレインと一方の電源電位の間にそれぞれ負荷抵抗を直列に介在させるとともに、上記一対の電界効果トランジスタの共通ソースと他方の電源電位の間に直列に第3の電界効果トランジスタによる定電流回路を直列に介在させることにより、第1および第2の電

界効果トランジスタの各ドレインから所定のインピーダンス特性の信号出力端子を取り出すようにしたものであって、その信号出力端子は所定の特性インピーダンスを有する伝送路配線を介して所定の終端インピーダンスを有する負荷に接続される。

【0004】上記高周波差動出力回路は、通信用IC内に組み込まれて形成されるが、そのIC内での回路配線については、GHz単位の非常に高速な信号を伝達させることも考慮して、できるだけ短かつ迂回が少なくなるような方向での最適化が行なわれていた。

【0005】

【発明が解決しようとする課題】しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。

【0006】すなわち、上述した従来の高周波差動出力回路にて使用する電界効果トランジスタは、出力回路として必要なパワー駆動能力を確保するために素子サイズの大きな高出力型のものが使用されるが、この手の電界効果トランジスタは、通常の小信号用の電界効果トランジスタに比べて、ゲート・ドレイン間容量(C_{gd})とゲート・ソース間容量(C_{gs})がどうしても大きくなりざるを得ない。

【0007】このため、第1、第2の電界効果トランジスタの各ドレインから取り出される信号出力端子と他方の電源電位の間には大きな寄生容量(C_x)が並列に介在する。この寄生容量(C_x)は、出力信号の周波数領域が比較的低い場合にはそれほど顕著な影響はもたらないが、出力信号の周波数領域が高くなるにしたがって、その出力端子でのインピーダンス特性に大きく影響するようになる。

【0008】つまり、出力信号の周波数領域が高くなると、出力端子はドレイン負荷抵抗などによってあらかじめ設定された所定のインピーダンス特性を維持することができなくなって、伝送路配線および負荷に対するインピーダンス整合性が劣化する。すなわち、インピーダンス不整合(ミスマッチング)が生じる。インピーダンス不整合が生じると、出力端子への反射成分が多くなって、出力信号の波形が歪むといった問題が生じる。

【0009】本発明の目的は、高周波差動出力回路の出力端子と伝送路配線および負荷との間のインピーダンス整合性を確保して、上記出力信号の波形歪みを防止できるようにする、という技術を提供することにある。

【0010】本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】すなわち、ソース同志が共通接続されて差

3

動対をなす第1および第2の電界効果トランジスタの各ドレインと一方の電源電位の間にそれぞれドレイン負荷抵抗を直列に介在させるとともに、上記一对の電界効果トランジスタの共通ソースと他方の電源電位の間に直列に第3の電界効果トランジスタによる定電流回路を直列に介在させることにより、第1および第2の電界効果トランジスタの各ドレインから所定のインピーダンス特性の信号出力端子を取り出すようにした高周波差動出力回路において、第3の電界効果トランジスタのソースと他方の電源電位との間に誘導性回路を介在させ、この誘導性回路の誘導性インピーダンスにより、上記信号出力端子と第3の電界効果トランジスタのソースとの間の寄生容量による容量性インピーダンスの変化を補償させる、というものである。

【0013】上述した手段によれば、各電界効果トランジスタの電極間容量 (C_{gd} , C_{gs}) による寄生容量が出力端子に介在しても、その寄生容量による出力インピーダンス特性への影響を大幅に軽減させることができる。

【0014】これにより、高周波差動出力回路の出力端子と伝送路配線および負荷との間のインピーダンス整合性を確保して、上記出力信号の波形歪みを防止できるようにする、という目的が達成される。

【0015】

【発明の実施の形態】以下、本発明の好適な実施態様を図面を参照しながら説明する。

【0016】なお、図において、同一符号は同一あるいは相当部分を示すものとする。

【0017】図1は本発明の技術が適用された高周波差動出力回路の一実施態様を示す。

【0018】同図に示す高周波差動出力回路2は、高速通信トランシーバの送信部をなすものであって、前段回路1などとともに同一のGaAs半導体基板に集積形成されている。

【0019】同図において、高周波差動出力回路2は、ソース同志が共通接続されて差動対をなす第1および第2のMES電界効果トランジスタQ1、Q2と、この一对の電界効果トランジスタQ1、Q2の各ドレインと一方の電源電位GNDの間にそれぞれ直列に介在するドレイン負荷抵抗 R_o 、 R_o と、上記一对の電界効果トランジスタQ1、Q2の共通ソースと他方の電源電位 V_{ss} の間に直列に介在して定電流回路を形成する第3のMES電界効果トランジスタQ3とを有し、第1および第2の電界効果トランジスタQ1、Q2の各ドレインから所定のインピーダンス特性の信号出力端子21、22を取り出すようにしてある。

【0020】さらに、第3の電界効果トランジスタQ3のソースと他方の電源電位 V_{ss} との間にはインダクタンス素子 L_x による誘導性回路23が介在させられ、この誘導性回路23の誘導性インピーダンス (X_L) によ

4

り、上記信号出力端子21、23と第3の電界効果トランジスタQ3のソースとの間の寄生容量 C_x により生じる容量性インピーダンス (X_C) の変化を補償させるようにしてある。

【0021】次に、動作について説明する。

【0022】図2は、図1に示した高周波差動出力回路2の出力端子21、22から負荷回路3までの間を等価回路で示したものであって、(A)は本発明の技術が適用された場合の等価回路、(B)は本発明の技術が適用されなかった場合の等価回路をそれぞれ示す。なお、この等価回路は高周波特性に着目したものであって、2つの電源電位GNDと V_{ss} は共に同じ基準電位として扱われている。

【0023】図1および図2において、出力端子21、22は、所定の特性インピーダンスを有する伝送路配線 L_1 、 L_2 を介して、所定の終端インピーダンス R_i 、 R_i を有する負荷回路3に接続されるようになってい

る。高周波差動出力回路2の出力信号 V_a 、 V_b は上記端子21、22から伝送路配線 L_1 、 L_2 を介して負荷回路3に与えられる。負荷回路3としては、たとえば電気信号を光信号に変換して光ファイバ伝送路へ送出する光駆動回路などが接続される。

【0024】出力端子21、22には、電界効果トランジスタQ1、Q2、Q3のゲート・ドレイン間容量 (C_{gd}) およびゲート・ソース間容量 (C_{gs}) による寄生容量 C_x が等価的に並列に介在している。この寄生容量 C_x は、素子サイズすなわちゲート幅が大きな出力用の電界効果トランジスタでは、どうしても大きくなる。

【0025】出力端子21、22には上記寄生容量 C_x による容量性インピーダンス (X_C) が並列に介在することになるが、その並列インピーダンス (X_C) は、上記寄生容量 C_x が大きくなるほど、あるいは出力信号 V_a 、 V_b の周波数が高くなるほど、低くなる。したがって、ゲート幅が大きな出力用の電界効果トランジスタを用いる高周波差動出力回路では、出力信号 V_a 、 V_b の周波数が高くなるにしたがって、その出力端子21、22に並列に介在する容量性インピーダンスが低下する。

【0026】ここで、本発明の技術が適用されなかった場合、図2の(B)に示すように、出力端子21、22は、寄生容量 C_x による容量性インピーダンス X_C によって基準電位 (V_{ss}) に直接バイパス接続されてしまうようになる。このため、出力端子21、22でのインピーダンス特性は、その容量性インピーダンス X_C の変化の影響を直接受けるようになって、伝送路配線 L_1 、 L_2 および負荷回路3に対するインピーダンス整合状態を良好に維持することができなくなってしまう。これにより、インピーダンス不整合による反射波 (V_r) が生じて、出力信号 V_a 、 V_b に波形歪みが生じるようになる。

【0027】しかし、本発明の技術が適用された場合

5

は、図2の(A)に示すように、上記容量性インピーダンス(XC)と基準電位(Vss)との間に、インダクタンス素子Lxによる誘導性インピーダンス(XL)が直列に介在する。この誘導性インピーダンス(XL)は、容量性インピーダンス(XC)とは反対に、周波数が高くなるにしたがって高くなる。したがって、出力端子21, 22に並列に介在する容量性インピーダンス(XC)が変化しても、この変化を補償する方向に誘導性インピーダンス(XL)が変化する。これにより、出力端子21, 22のインピーダンス特性が受ける影響を大幅に軽減させて、伝送路配線L1, L2および負荷回路3に対するインピーダンス整合状態を良好に確保することができる。このようにして、インピーダンス不整合による出力信号Va, Vbの波形歪みを防止することができる。

【0028】図3は、誘導性回路23を形成するインダクタンス素子Lxの構成例を示す省略平面図である。

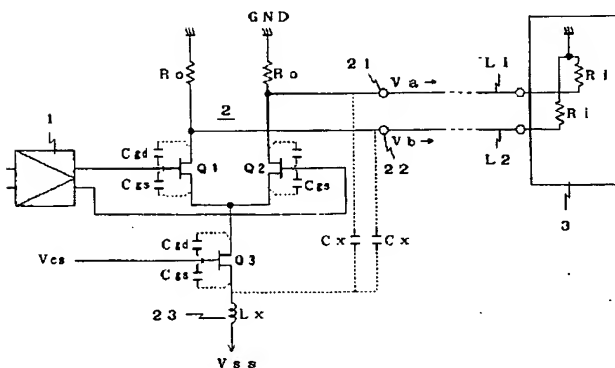
【0029】インダクタンス素子Lxは、上述した電界効果トランジスタQ1, Q2, Q3などともに、同一半導体基板に多層配線により集積形成することができる。図3において、231は第1層の配線、232は第2層の配線、233は第1層と第2層の間を接続するための層間配線部、24は端子パッド部、25はボンディングワイヤである。

【0030】以上、本発明者によってなされた発明を実施態様にもとづき具体的に説明したが、本発明は上記実施態様に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0031】以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野であるGaAs半導体集積回路装置に適用した場合について説明したが、それに限定されるものではなく、たとえばシリコン半導体基板を用いたMOS半導体集積回路装置にも適用できる。

【0032】

【図1】



6

【発明の効果】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0033】すなわち、高周波差動出力回路の出力端子と伝送路配線および負荷との間のインピーダンス整合性を確保して、上記出力信号の波形歪みを防止できるようにする、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の技術が適用された高周波差動出力回路の一実施態様を示す回路図

【図2】図1に示した高周波差動出力回路の出力端子から負荷回路までの間を示す等価回路図

【図3】誘導性回路を形成するインダクタンス素子の構成例を示す省略平面図

【符号の説明】

1 前段回路

2 高周波差動出力回路

21, 22 出力端子

23 誘導性回路

3 負荷回路

Q1, Q2, Q3 MES電界効果トランジスタ

GND 一方の電源電位

Vss 他方の電源電位

Ro ドレイン負荷抵抗

Cx 寄生容量

XC 容量性インピーダンス

Lx インダクタンス素子

XL 誘導性インピーダンス

L1, L2 伝送路配線

231 第1層の配線

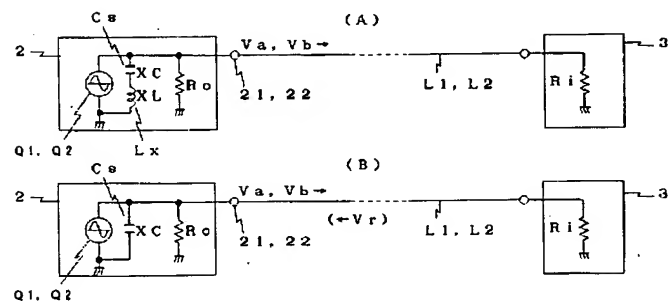
232 第2層の配線

233 層間配線

24 端子パッド部

25 ボンディングワイヤ

【図2】



【図3】

